

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-5789

(P2001-5789A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 6 F 15/16	6 1 0	G 0 6 F 15/16	6 1 0 G 5 B 0 1 3
	6 4 0		6 4 0 B 5 B 0 3 3
9/30	3 3 0	9/30	3 3 0 A 5 B 0 4 5
9/38	3 7 0	9/38	3 7 0 A 5 B 0 6 0
12/00	5 7 0	12/00	5 7 0 B 5 B 0 6 2
審査請求 有 請求項の数 6 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願平11-173047

(22) 出願日 平成11年6月18日 (1999.6.18)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 遠藤 盛久

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

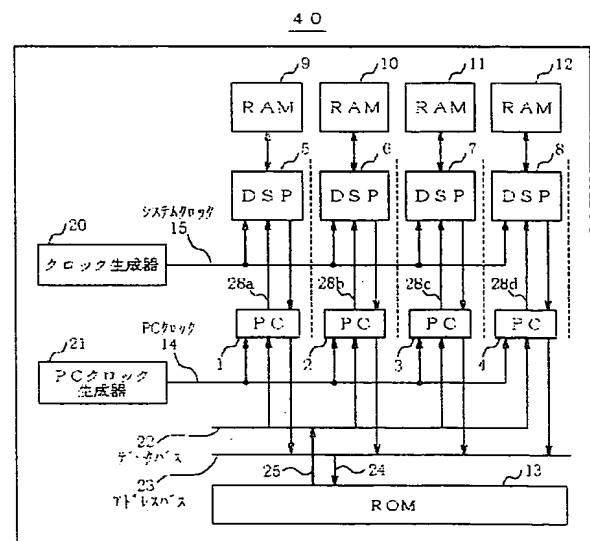
最終頁に続く

(54) 【発明の名称】 マルチコアDSP回路

(57) 【要約】

【課題】複数のDSPコアを1つのLSIに実装して、処理チャンネル数を効率良く増加させるマルチコアDSP回路を提供する。

【解決手段】 DSP 5～8はデジタル信号処理を実行する。ROM 13はこれらのDSPを動作させるプログラムを格納する。RAM 9～12は各DSPコアがデジタル信号処理した結果を保持しかつ作業領域として使用する。クロック生成器 20はDSPコアを動作させるシステムクロック 15を発生する。プログラムカウンタ PC 1～4は各DSPコアを動作させるプログラムを読み出す。PCクロック生成器 21はPCクロック 14を発生する。



【特許請求の範囲】

【請求項1】 デジタル信号処理を行う複数のデジタル・シグナル・プロセッサコア（DSPコア）と；このDSPコアを動作させるプログラムを格納する1つのリード・オンリー・メモリ（ROM）と；前記複数のDSPコアを動作させるシステムクロックと；このシステムクロックの動作周波数に前記DSPコアの数をかけた周波数のプログラムカウンタ・クロックで動作させ、前記ROMからプログラムデータを読み出すプログラムカウンタと；を有し、

複数チャネルのデジタル信号処理を実行することを特徴とするマルチコアDSP回路。

【請求項2】 前記プログラムを格納するROMを、より高速動作することが可能なランダム・アクセス・メモリ（RAM）におきかえ、前記プログラムを外部からダウンロードしてプログラム領域として使うことを特徴とする請求項1記載のマルチコアDSP回路。

【請求項3】 請求項1又は請求項2記載のマルチコアDSP回路を内蔵したことを特徴とする集積回路。

【請求項4】 デジタル信号処理を実行するn（nは1以上の整数）個のDSPコアと；前記n個のDSPコアを動作させるシステムクロックを発生する第1のクロック生成器と；前記n個のDSPコアの各々がデジタル信号処理した結果を保持し、かつ作業領域として使用する前記n個のDSPに対応したn個のRAMと、前記n個のDSPコアを動作させるためのプログラムを格納したROMと；このROMから前記プログラムを読み出し、前記n個のDSPの各々に転送するn個のプログラムカウンタと；これらプログラムカウンタにプログラムカウンタ・クロックを出力する第2のクロック生成器と；を備えたことを特徴とするマルチコアDSP回路。

【請求項5】 前記プログラムを格納するROMを、より高速動作することが可能なランダム・アクセス・メモリ（RAM）におきかえ、前記プログラムを外部からダウンロードしてプログラム領域として使うことを特徴とする請求項4記載のマルチコアDSP回路。

【請求項6】 請求項4又は請求項5記載のマルチコアDSP回路を内蔵したことを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマルチコアDSP回路に関し、特に複数チャネルのデジタル信号処理を実行するマルチコアDSP回路に関する。

【0002】

【従来技術】最近の電子機器、例えばモデム、シンセサイザ、音源ボードの音響機器や各種の圧縮・伸張機器等に信号処理演算回路が使用されている。この信号処理演算回路は通常DSP（Digital Signal Processor）と呼称されており、演算部であるDSPコアと、メモリおよび外部とのインタフェー

ス部を含んでいる。特にDSPコアが一つのLSIの中に複数個内蔵される場合、マルチコアと呼称されている。

【0003】従来、複数のDSPコアをLSIに実装する場合、1つの処理を複数のDSPコアで分散させて処理するので、処理プログラム領域は各DSPコア毎に必要となり、LSIに占めるプログラム領域が増加することになる。

【0004】このようなDSPの一例として、特開平8-106375号公報記載の「信号処理演算器」が知られている。

【0005】この公報では、DSPコアと複数の機能ブロックとこれら機能ブロックに接続された選択回路および外部メモリとから成り、所定のアプリケーションに応じて一つまたは複数の機能ブロックを同時に選択することで、最適アプリケーションに対応した信号処理演算器を構成する技術が記載されている。

【0006】また、特開平5-035700号公報記載の「マルチプロセッサシステム」が知られている。この公報では、複数のDSPに負荷を分散させることで、LSI全体の処理能力を向上させる技術が記載されている。

【0007】

【発明が解決しようとする課題】上述した従来のマルチコアDSP回路は、DSPを搭載する装置を小型化するため1チップで複数チャネルの処理を実行するが、1個のDSPコアで実行できる処理はLSIの動作周波数の上からも限界があるという欠点を有している。

【0008】また、各DSPに対して個別にプログラム領域を設けているため、いずれも系統的にプログラムメモリを格納する領域が増加しLSIのサイズが大きくなるという欠点を有している。

【0009】本発明の目的は、複数のDSPコアが使用するプログラム領域を共有させることでLSI1チップ当たりに実装するプログラム領域を減少させ、複数のDSPコアを実装したLSIの実現と、高速化による処理チャネル数を効率良く増加させるマルチコアDSP回路を提供することにある。

【0010】

【課題を解決するための手段】本発明のマルチコアDSP回路は、デジタル信号処理を行う複数のデジタル・シグナル・プロセッサコア（DSPコア）と；このDSPコアを動作させるプログラムを格納する1つのリード・オンリー・メモリ（ROM）と；前記複数のDSPコアを動作させるシステムクロックと；このシステムクロックの動作周波数に前記DSPコアの数をかけた周波数のプログラムカウンタ・クロックで動作させ、前記ROMからプログラムデータを読み出すプログラムカウンタと、を有し、複数チャネルのデジタル信号処理を実行することを特徴としている。

【0011】前記プログラムを格納するROMを、より高速動作することが可能なランダム・アクセス・メモリ(RAM)におきかえ、前記プログラムを外部からダウンロードしてプログラム領域として使うことを特徴としている。

【0012】また、マルチコアDSP回路を内蔵した集積回路を特徴としている。

【0013】ディジタル信号処理を実行するn(nは1以上の整数)個のDSPコアと；前記n個のDSPコアを動作させるシステムクロックを発生する第1のクロック生成器と；前記n個のDSPコアの各々がディジタル信号処理した結果を保持し、かつ作業領域として使用する前記n個のDSPに対応したn個のRAMと；前記n個のDSPコアを動作させるためのプログラムを格納したROMと；このROMから前記プログラムを読み出し、前記n個のDSPの各々に転送するn個のプログラムカウンタと；これらプログラムカウンタにプログラムカウンタ・クロックを出力する第2のクロック生成器と；を備えたことを特徴としている。

【0014】前記プログラムを格納するROMを、より高速動作することが可能なランダム・アクセス・メモリ(RAM)におきかえ、前記プログラムを外部からダウンロードしてプログラム領域として使うことを特徴としている。

【0015】また、マルチコアDSP回路を内蔵した集積回路を特徴としている。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0017】図1は本発明のマルチコアDSP回路の1つの実施の形態を示すブロック図である。

【0018】図1に示す本実施の形態は一つの集積回路(LSI)を示し、LSI40は、ディジタル信号処理を実行する4個のDSPコアであるDSP5、DSP6、DSP7、DSP8と、これらのDSPコアを動作させるためのプログラムを格納したROM13と、各DSPコアがディジタル信号処理した結果を保持しかつ作業領域として使用するRAM9、RAM10、RAM11、RAM12と、DSPコアを動作させるシステムクロック15を発生するクロック生成器20と、プログラムを読み出すプログラムカウンタ(Program Counter；以下、PCと記す)のPC1、PC2、PC3、PC4と、これらプログラムカウンタにPCクロック14を出力するPCクロック生成器21とから構成されている。このPCクロック14は、プログラムカウンタであるPC1～PC4に供給され、DSP5～8を動作させるためROM13からプログラムを読み出す。PC1～PC4はシステムクロック15の4倍の速さで動作する。従って、PC1～PC4がROM13のプログラム領域からデータを読み出すタイミングを、各

DSP毎にPCクロック14を1周期分だけ位相をずらすことで、システムクロック15の1周期中に4個のDSP5～8が各々必要なプログラムをROM13のプログラム領域から読み出すことが可能になる。図2は図1のプログラムメモリアccessを示すタイムチャートである。

【0019】次に、図1および図2を参照して本実施の形態の動作をより詳細に説明する。

【0020】まず図2を参照して、DSPコアであるDSP5～8の動作について説明する。

【0021】DSP5～8ではパイプライン処理が用いられ、ROM13のプログラム領域からDSP5～8を動作させる命令をフェッチし(F0、F1、F2、F3)、読み出し動作(R0、R1、R2、R3)、フェッチした命令のデコード動作(D0、D1、D2、D3)、命令の実行動作(E0、E1、E2、E3)をサイクリックにPCクロック14のタイミングで繰り返す。これら4種類の各動作を、システムクロック15の1周期分で各々実行する。

【0022】一番最初のフェッチ動作で、DSP5～8は次に実行するべきプログラムが格納されたROM13のメモリアドレスをアドレスバス23を経由してアドレスデータ24で指定する(フェッチ動作)。プログラムカウンタであるPC1～PC4は、そのアドレスに格納されているプログラムデータ25を次の周期のシステムクロック15を用いて読み出す(読み出し動作)。PC1～PC4に対応するDSP5～8は、読み出したプログラムデータ25をデータバス22を経由して各々デコードして実行する。この一連の動作の中で読み出し動作以外は、DSP5～8の各DSPが独立に行うため、各DSPが各々独立に並列動作しているとみなすことができる。従って、ROM13のプログラム領域からのプログラムデータ25の読み出し動作が可能かどうかを、フラグ等のチェックなしに簡単な回路でLSIを構成することが可能になる。一方、読み出し動作は、プログラムデータ25を格納しているROM13を共有しているため、DSP5～8が一度にアドレスバス23経由でROM13にアクセスするとバスに競合条件が生じ、DSP5～8に対するプログラムデータ25を正確に読み出すことができない。このため、PCクロック14をシステムクロック15の4倍で動作させ、PC1～PC4は4倍の周波数で動作するPCクロック28a～28dを各々抽出することになる。

【0023】図3は図1のプログラム読み出しを示すタイムチャートである。図3(a)はプログラムカウンタの詳細ブロック図であり、図3(b)は読み出しパルスのタイムチャートを示す。

【0024】DSP5に対するプログラム読み出しクロックをPCLK28a、DSP6に対するプログラム読み出しクロックをPCLK28b、DSP7に対す

るプログラム読み出しクロックをPCCLK28c、DSP8に対するプログラム読み出しクロックをPCCLK28dとする。

【0025】プログラムカウンタであるPC1～PC4に同一のPCクロック14が共通に入力される。クロック選択器16で、各々のDSPがROM13のプログラムデータ25を読み出すのに必要なクロックPCCLK28a、28b、28c、28dを抽出して、それぞれのDSPに出力する。クロック選択器16は、0から3までをカウントするカウンタ17の出力とPCクロック14との論理条件をとり、条件が合ったときのみPCCLK28a、28b、28c、28dのいずれかを出力する構成とする。各々のプログラムカウンタPC1～4が、カウンタ17の出力と比較する条件を異なる値に設定することで、各PCがプログラムデータ25を読み出すタイミングの位相を図3(b)のように任意にずらすことが可能になる。

【0026】このため、DSP5～DSP8の各々が相互に競合することなく、ROM13のプログラム領域からプログラムデータ25を読み出すことが可能になる。

【0027】すなわち、1個のプログラム領域を複数のDSPコアであるDSP5～8が共有するので、プログラムデータ25を格納するメモリ領域を最小限に抑えることができる。従って、複数のDSPコアを実装し、複数チャンネルのデジタル信号処理を実行させるサイズの小さいLSIを構成することが可能になる。

【0028】なお、1つのLSI40のなかに4個のDSP5～8を実装した例を説明したが、4個に限定されるものでなく、任意の数のDSPコアの実装が可能である。

【0029】上述の通り本マルチコアDSP回路は、DSPコアのプログラム読み出し用プログラムカウンタを動作させるクロック周波数を、システムクロック周波数に較べDSPコアの数と同じ倍率で高速動作させるので、各DSPがそれぞれタイミングをずらしながらプログラム領域にアクセスできるため、各DSPコアに対するプログラム領域を個別に用意する必要がなくなり、1つのプログラム領域を複数のDSPコアで共有することができる。従って、1チップで複数チャンネルのデジタル信号処理を実行するために、複数のDSPコアを1チップ内に搭載し、その複数のDSPコアが同じプログラム領域を共有することで、チップに搭載するプログラム

メモリ量を削減している。

【0030】なお、プログラムを格納するROM13をより高速動作することが可能なRAMにおきかえ、プログラムを外部からダウンロードしてプログラム領域として使うこともある。また、DSPの処理結果を保持し、作業領域として使用しているRAM9～12をそれぞれDSP5～8に含ませた構成も可能である。

【0031】

【発明の効果】以上説明したように、本発明のマルチコアDSP回路はプログラム領域を各DSPコアに共有させることでプログラム領域を最小限にすることができるので、プログラムメモリ容量の少ない複数のDSPコアを実装したLSIが可能になるという効果を有している。

【0032】また、プログラムを読み出す速度を高速化することで、実装可能なDSPコアの個数を単純に増やすことができるという効果を有している。

【図面の簡単な説明】

【図1】本発明のマルチコアDSP回路の一つの実施の形態を示すブロック図である。

【図2】図1のプログラムメモリアクセスを示すタイムチャートである。

【図3】図1のプログラム読み出しを示すタイムチャートである。

【符号の説明】

1～4 PC

5～8 DSP

9～12 RAM

13 ROM

14 PCクロック

15 システムクロック

16 クロック選択器

17 カウンタ

20 クロック生成器

21 PCクロック生成器

22 データバス

23 アドレスバス

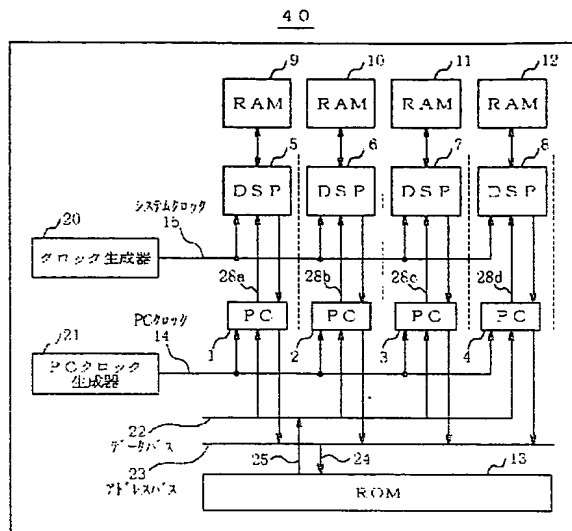
24 アドレスデータ

25 プログラムデータ

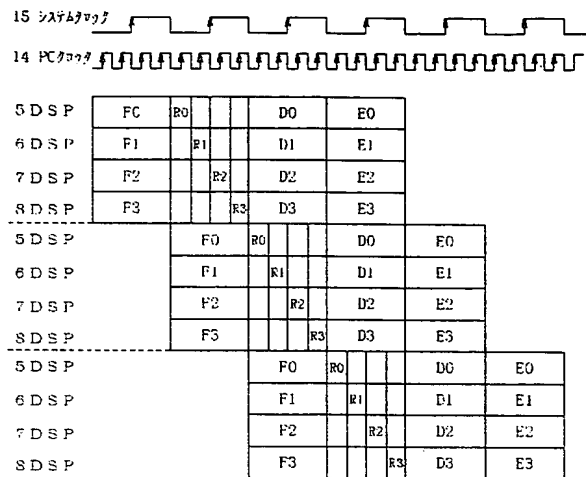
28a、28b、28c、28d PCCLK

40 LSI

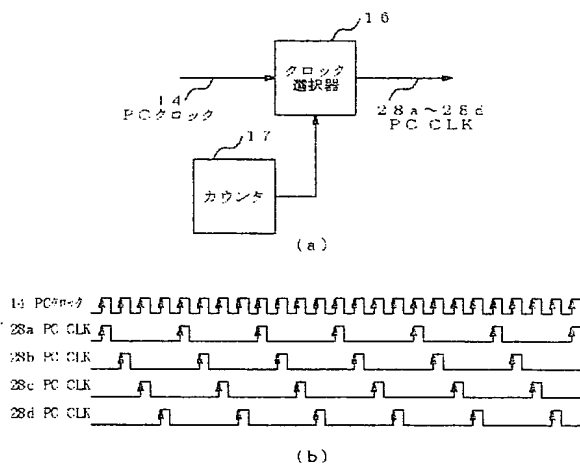
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl. ⁷		識別記号		F I		ターマコード (参考)	
G 0 6 F	12/06	5 2 2	6 7 0	G 0 6 F	12/06	5 2 2 B	5 D 3 7 8
	15/177	15/177			6 7 0 B		
	15/78	15/78			5 1 0 G		
G 1 0 H	7/02	5 1 0		G 1 0 H	7/00	5 2 1 Z	

F ターム(参考) 5B013 DD01 DD05
5B033 AA06 BC00 DB12
5B045 AA05 BB28 BB47 GG12 HH02
5B060 AB10 AC01 CA08 CC03 KA02
KA04 MM02 MM03
5B062 AA03 CC04 CC06 EE09
5D378 BB06 BB08 BB11 ZZ03